

(54) SPACE OPTICAL MODULATING ELEMENT AND PRODUCTION THEREOF

(11) 5-216061 (A) (43) 27.8.1993 (19) JP

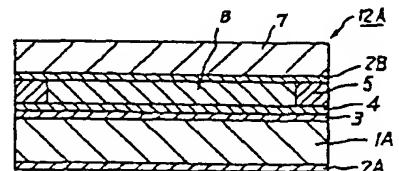
(21) Appl. No. 4-18989 (22) 4.2.1992

(71) NIPPON HOSO KYOKAI <NHK>(1) (72) KUNIWARU TAKIZAWA(3)

(51) Int. Cl^s. G02F1/135

PURPOSE: To effectively prevent the leakage of reading out light to the photoconductive layer side of the space optical modulating element having an optical modulating layer consisting of a liquid crystal material for modulating the intensity, phase or progressing direction of the reading out light according to an impressed voltage and to obviate the deterioration in the resolution of the element even if reading out light is absorbed.

CONSTITUTION: A transparent electrode film 2A and a light shielding layer 3 are provided on the surface of the photoconductive layer 1A. Multilayered dielectric films 4, the optical modulating layer 8 consisting of the liquid crystal material and a transparent electrode film 2B are provided on the light shielding layer 3. The light shielding layer 3 is constituted of a hydrogenated amorphous silicon film having 10^8 to 10^{10} Ωcm resistivity and 10^4 to 10^5cm^{-1} coefft. of light absorption to light of 600nm wavelength. This hydrogenated amorphous silicon film is formed by a plasma CVD method while passing gaseous monosilane and maintaining the temp. of the substrate at $\leq 120^\circ\text{C}$.



(54) LIQUID CRYSTAL PANEL

(11) 5-216062 (A) (43) 27.8.1993 (19) JP

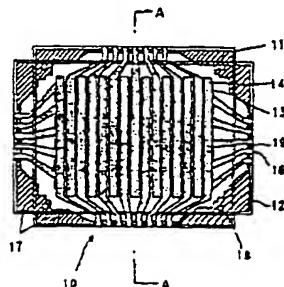
(21) Appl. No. 4-47969 (22) 4.2.1992

(71) SONY CORP (72) KIYONORI TOMINAGA

(51) Int. Cl^s. G02F1/136

PURPOSE: To provide a structure to prevent the electrostatic breakdown of a liquid crystal which effectively functions not only during the production process but after completion as well.

CONSTITUTION: This liquid crystal panel 10 is constituted by sticking a pair of substrates 11 and 12 to each other. Plural pieces of signal electrodes 14 arrayed in parallel with each other are formed on the inside surface of the one glass substrate 11. Scanning electrodes 15 which are arrayed in parallel with each other and are arranged to intersect with the signal electrodes 14 are formed on the inside surface of the other glass substrate 12. A liquid crystal layer is clamped between the two substrates. High-resistivity thin films 17 are extended along the respective circumferential parts of both substrates 11, 12 so as to intersect with leader electrodes 16 which are led out of the signal electrodes 14 and scanning electrodes 15, respectively, and are used for connection to external circuits. The high-resistivity thin films 17 have the face resistivity higher than the face resistivity of the leader electrodes 16. In addition, the high-resistivity thin films 17 provided on both substrates are electrically connected to each other by conductive materials 18, by which the structure to prevent the electrostatic breakdown is obtnd..



19: resistance component

特開平5-216062

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

G 0 2 F 1/136

識別記号

5 0 0

序内整理番号

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号

特願平4-47969

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 富水 清則

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 高橋 光男

(22)出願日

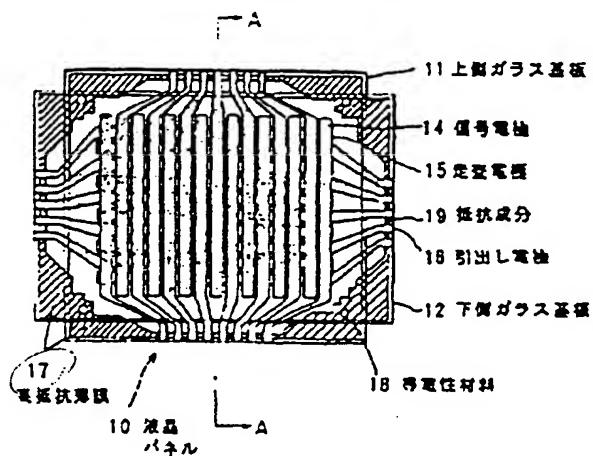
平成4年(1992)2月4日

(54)【発明の名称】 液晶パネル

【要約】

【目的】 製造工程中はもとより完成後も有効に機能する液晶パネルの静電破壊防止構造を提供する。

【構成】 液晶パネル10は一対の基板11及び12を貼り合わせて構成されている。一方のガラス基板11の内表面には互いに平行に整列した複数本の信号電極14が形成されている。他方のガラス基板12の内表面には、互いに平行に整列し且つ信号電極14に対して交差的に配列された走査電極15が形成されている。両基板間には液晶層が挟持されている。信号電極14及び走査電極15のたぐから引き出された外部回路との接続に用いられる引き出し電極16と交わる様に、両方の基板11、12の周囲部に沿って高抵抗薄膜17が延設されている。この高抵抗薄膜17は、引き出し電極16の面抵抗率より大きい面抵抗率を有する。加えて、両方の基板に設けられた高抵抗薄膜17を導電性材料18で電気的に互いに接続し静電破壊防止構造を得ている。



【特許請求の範囲】

【請求項1】 所定の間隔をおいて互いに平行に並列した複数本の信号電極を有する一方の基板と、互いに平行に並列し且つ前記信号電極に対して交差的に配列された走査電極を有するとともに前記一方の基板に対向配置された他方の基板と、両方の基板に挟持された所定の厚みを有する液晶層とを備えた液晶パネルにおいて、

前記信号電極及び前記走査電極の夫々から引き出された外部回路との接続に用いられる引き出し電極と交わる様に前記両方の基板の夫々の周囲部に沿って延設された、前記引き出し電極の面抵抗率より大きい面抵抗率を有する高抵抗薄膜を前記両方の基板の夫々に設け、この両方の高抵抗薄膜を導電性材料で電気的に接続した事を特徴とする液晶パネル。

【請求項2】 行列状に並列した複数個の画素電極と個々の画素電極を動作させる為の複数個のスイッチング素子と行ごとにスイッチング素子を選択する為の選択線と、イッティング素子に信号を供給する為の信号線とを備えた一方の基板と、対向電極を有し前記一方の基板に対向配置された他方の基板と、両方の基板に挟持された所定の厚みを有する液晶層とを備えた液晶パネルにおいて、前記選択線及び前記信号線の夫々から引き出された外部回路との接続に用いられる引き出し電極と交わる様に前記一方の基板の周囲部に沿って延設された、前記引き出し電極の面抵抗率より大きい面抵抗率を有する高抵抗薄膜を前記一方の基板に設け、この高抵抗薄膜と前記対向電極とを導電性材料で電気的に接続した事を特徴とする液晶パネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電極の形成された一対の基板を貼り合わせ液晶を挟持してなる液晶パネルに関する。より詳しくは、かかる構造を有する液晶パネルの静電破壊防止構造に関する。

【0002】

【従来の技術】 画像表示等に用いられる液晶パネルはマトリクス型のものが多い。これには単純マトリクス型とアクティーブマトリクス型の2種類がある。単純マトリクス型は互いに直交する信号電極群及び走査電極群が各々形成された一対の基板を互いに貼り合わせ両者の間隙に例えばスーパーツイストネマチック液晶を充填した構造を有している。又、アクティーブマトリクス型は、行列状に配列した画素電極及び薄膜トランジスタ等からなるスイッチング素子等が形成された一方の基板と対向電極の形成された他方の基板を貼り合わせ両者の間に液晶を封入したものである。何れの構造の液晶パネルに関してもその製造工程において、静電気による帯電破壊が重要な課題にならなくてはならない。アクティーブマトリクス型では、静電気による薄膜トランジスタのゲート絶縁破壊が発生する。又、単純マトリクス型においても電極パタンのギャップ間で静電気の放電が起り、ITO等の電極薄膜が破壊される。

【0003】 これらの静電気による破壊を防止する為に種々の対策が講じられており、図1-1にその一例を示す。図1-1はアクティーブマトリクス型の例であり、互いに直交配置された信号線1-0-1及び選択線1-0-2を構成する電極パタンの外周に沿って保護用短絡線1-0-3を設けている。この短絡線1-0-3により帶電で生じる電極間の電位差を消滅させるものである。

【0004】 図1-2に他の例を示す。これは単純マトリクス型に関するものであり、図1-1の例と同様に、例えば互いに平行配列した信号電極群1-0-4の外周に沿って保護用短絡線1-0-5が設けられている。これらの静電破壊防止構造は、例えば日経マイクロデバイス1991年7月号第176頁に開示されている。

【0005】 一方、最近では液晶パネルの製造歩留向上的目的で電極欠陥検査工程が加えられている。代表的な欠陥に電極パタンのオープンやショートがある。単純マトリクス型では微細化及び高精細化による画素数の増加に伴ない、電極間のギャップが非常に狭くなり、エッチング不良によるパタンショートが増加している。又、アクティーブマトリクス型では開口率を上げる為信号線を細く形成する結果、パタンオープンが発生し易くなっている。さらに、直交した走査線及び信号線間の絶縁不良によるパタンショートも見逃せない不良である。電極欠陥検査は、一般に各パタンの両端にプローブカードをコンタクトさせて行なう。オープン欠陥は対向したピン間の抵抗値を測定し、ショート欠陥は隣り合ったピン間の抵抗を測定し検出する。

【0006】 この様な方式のオープン／ショート検査を前述した図1-1及び図1-2に示す電極構成に対して適用すると、保護用短絡線の存在によって欠陥を判断するのが困難になる場合がある。これを解決する為に、図1-1及び図1-2に示した様に、プローブピンを立てる位置及び保護用短絡線に至る接続ラインや短絡線間に作り込み抵抗（くびれた部分）を意図的に形成している。この様にして静電破壊を防止するとともに欠陥検査を容易にしているのである。

【0007】

【発明が解決しようとする課題】 上述した作り込み抵抗は、オープン／ショート検査における欠陥検出の障害にならない程度に大きな抵抗値を有している。しかしながら、液晶パネルが完成した後、外部から駆動回路等を異方性導電テープ等で接続して液晶パネルを駆動する場合には、作り込み抵抗の抵抗値がそれ程高くない為障害となる。例えば、省電力化の為一般にドライブ回路の駆動電流を低減した場合、駆動電流の一部が作り込み抵抗を介して保護用短絡線にも流れ、液晶パネルの実効駆動電圧が低下してしまう。これを解決するには、例えば作り込み抵抗の値をもっと大きくする必要がある。しかし

3

ながら、作り込み抵抗パタンの幅を細くして十分な高抵抗化を図ると細くなり過ぎて保護用短絡線自体にオーバン欠陥が発生するという問題がある。従って、液晶パタンにドライブ回路を接続する前に、保護用短絡線の部分を切除するのが一般的である。この加工は通常液晶注入工程前のガラス基板切断工程で行なわれる。しかしながら、この様にすると液晶注入工程以後の工程で発生する可能性のある静電破壊を有効に防止する事ができないという問題点がある。

【0008】上述した従来の技術の問題点あるいは課題に鑑み、本発明は製造工程中はもとより完成した後までも液晶パネルの静電破壊を有効に防止する事のできる構造を提供する事を目的とする。

【0009】

【課題を解決するための手段】本発明の目的を達成する為に講じられた手段を以下単純マトリクス型とアクティーブマトリクス型に分けて示す。単純マトリクス型液晶パネルは、所定の間隔を置いて互いに平行に配列した複数本の信号電極を有する一方の基板と、互いに平行に整列し且つ前記信号電極に対して交差的に配列された走査電極を有するとともに前記一方の基板に対向配置された他方の基板と、両方の基板に挟持された所定の厚みを有する液晶層とを備えている。かかる構造において、前記信号電極及び前記走査電極の夫々から引き出された外部回路との接続に用いられる引き出し電極と交わる様に前記両方の基板の夫々の周囲部に沿って高抵抗薄膜を延設するという手段を講じた。この高抵抗薄膜は前記引き出し電極の面抵抗率より大きな面抵抗率を有する。加えて、両方の基板の夫々に設けられた高抵抗薄膜を導電性材料で電気的に接続して液晶パネル全体を静電気からシールドするという手段を講じた。

【0010】アクティーブマトリクス型液晶パネルは、行列状に配列した複数個の画素電極と個々の画素電極を動作させる為の複数個のスイッチング素子と行毎にスイッチング素子を選択する為の選択線とスイッチング素子に信号を供給する為の信号線とを備えた一方の基板と、対向電極を有し前記一方の基板に対向配置された他方の基板と、両方の基板に挟持された所定の厚みを有する液晶層とから構成されている。かかる構造において、前記選択線及び前記信号線の夫々から引き出された外部回路との接続に用いられる引き出し電極と交わる様に前記一方の基板の周囲部に沿って高抵抗薄膜を延設するという手段を講じた。この高抵抗薄膜の面抵抗率は前記引き出し電極の面抵抗率より大きな値を有する。加えて、この高抵抗薄膜と前記対向電極とを導電性材料で電気的に接続するという手段を講じ、液晶パネル全体を静電気からシールドしている。

【0011】

【作用】本発明によれば、外部回路と接続する為に液晶パネルの基板上に形成した薄膜状の複数の引き出し電極

4

を、互いに電気接続する様に高抵抗率を有する薄膜が形成されている。この高抵抗薄膜により液晶パネルの電極パタン間に静電気に帰因する電位差が生じない様にしている。完成した液晶パネルの検査時や、外部回路と接続して画像表示を行なう場合にも、この高抵抗薄膜は切除しないで残したまま使用する。従って、液晶パネルの製造過程及び完成した液晶パネルのハンドリングで発生する静電気による薄膜トランジスタやITO等の透明電極の静電破壊を有効に防止する事ができる。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明を単純マトリクス型の液晶パネルに適用した例を示す模式的な平面図である。液晶パネル10は上側のガラス基板11と下側のガラス基板12とを所定の間隙を介して互いに貼り合わせた構造を有している。上側のガラス基板11の内表面には所定の間隔を置いて互いに平行に整列した複数本の信号電極14が形成されている。この信号電極14は例えばITO等からなる透明導電薄膜をバケティングして得られる。一方、下側のガラス基板12の内表面には互いに平行に整列し且つ信号電極14に対して交差的に配列された走査電極15が形成されている。この走査電極15もITO等からなる透明導電薄膜をバケティングして得られる。個々の電極には各々外部接続用の引き出し電極16が基板周辺部に沿って設けられている。この引き出し電極16は信号電極14あるいは走査電極15と一体的に形成されるものである。

【0013】各ガラス基板の周辺部に沿って静電破壊保護用の高抵抗薄膜17が所定の形状にバタニングされている。この高抵抗薄膜17は引き出し電極16よりも十分高い面抵抗率を有する。高抵抗薄膜17は、例えば異なった組成を有するITO膜あるいは酸化錫膜からなる。高抵抗薄膜17は電極バタニング形成に先立って基板上に設けられる。例えば、高い抵抗率を有するITO膜や酸化錫膜を基板全面に成膜した後、マスクを介してスパッタニングを行なう事によりバタニングできる。この上に重ねて電極パタンが形成されるのである。図示する様に、隣接する引き出し電極16は高抵抗薄膜17の抵抗成分19を介して接続がとられている。最後に、上側のガラス基板11に設けられた高抵抗薄膜17と下側ガラス基板12に設けられた高抵抗薄膜17は互いに銀ペースト等からなる導電性材料18により電気的に接続されている。かかる構造により、全ての電極は静電気に対して同電位となる為破壊を防止する事ができる。換言すると、液晶パネル10は全体として静電気から同電位でシールドされている事になる。

【0014】図2は図1に示すA-A線上に沿って切断された断面図である。図示する様に、一対のガラス基板11及び12はシール材を介して互いに貼り合わされており、両者の間隙は例えば数μmに設定されている。この

5

間隙には、例えばスーパーバンリストネマチック配向した液晶13が封入充填されている。上側のガラス基板11の内表面に形成された信号電極14の端部から延設された引き出し電極16は露出しており外部回路との電気接続に用いられる。引き出し電極16の下側には直交する様に高抵抗薄膜17が設けられている。下側のガラス基板12に設けられた走査電極15はこれでも同様である。

【0015】本発明の理解をさらに容易にするために、図3を参照して上側のガラス基板11の平面形状を説明する。互いに平行配列した信号電極14は引き出し電極16を介して互い違いに両側のガラス基板周辺部に導かれている。この引き出し電極群16と直交する様に高抵抗薄膜17が設けられている。ガラス基板11の四隅には下側のガラス基板との間の導通をとる為の導電性材料18が供給されている。図から明らかな様に、各引号线14は静電破壊保護用高抵抗薄膜17によって互いに電気的接続がなされている。これにより、例えばラビングの工程で発生する静電気による透明電極ハクン間の静電破壊を防ぐ事ができる。

【0016】図4に下側ガラス基板12の平面形状を示す。基本的に図3に示す上側ガラス基板11と同様の構成を有している。即ち、互いに平行配列した走査電極15は互い違いに引き出し電極16を介して基板12の両端側周辺部に導かれている。この引き出し電極16は高抵抗薄膜17によって互いに電気的接続がなされている。かかる構成を有するガラス基板12とガラス基板11とを貼り合わせると、導電性材料18を介して上側の高抵抗薄膜と下側の高抵抗薄膜も互いに電気的に接続される。これにより、両基板の貼り合わせ工程以降、例えば外部回路付け工程で発生する静電気による静電破壊が防止できる。

【0017】図5は液晶パネル10と外部回路を搭載したプリント配線基板50との間の接続構造を示す模式図である。両部品は液晶ドライブ回路を内蔵したIC40を搭載したTAB基板20を介して互いに接続される。参考番号21を付して、液晶パネル側の結線構造を拡大して示す。液晶パネル側の引き出し電極16は例えば100ないし150μmピッチで配列している。TAB基板20の側にも同一ピッチで接続電極23が設けられている。両電極は例えば異方性導電テープ等により一齊に接続される。静電破壊保護用高抵抗薄膜によって形成された抵抗成分19の延設方向は、引き出し電極16の延設方向と直交している。この為、液晶パネル10とTAB基板20とを互いに接続した時、隣り合う引き出し電極間に形成された抵抗成分19は異方性導電テープ内の金属性によって短絡される事はない。

【0018】一方、参考番号22を付してプリント配線基板50とTAB基板20との間の接続構造を拡大して示す。プリント配線基板50はTAB基板20に搭載さ

6

れたICに対して電源電圧や信号を供給する為のものであり、接続電極本数は少なくなっている。

【0019】次に図6に液晶パネル10とドライブ回路を内蔵したIC40とを接続した時の等価回路を示す。ICは液晶パネルの各電極に対応してドライブ回路41を含んでいる。抵抗成分42は例えば異方性導電テープによってドライブ回路側の接続電極と液晶パネル側の引き出し電極とを接続した時の接触抵抗を表わしている。又、インピーダンス43は信号電極又は走査電極を引き出し電極側から見たインピーダンスである。静電破壊保護用高抵抗薄膜17によって隣り合う引き出し電極間に形成された抵抗成分19の抵抗値を大きくする事により、隣り合う引き出し電極間の電位差に応じて抵抗成分19を流れる電流44を小さくする事ができる。この為高抵抗薄膜17によって形成された抵抗成分19が介在していても、ドライブ回路41の出力電流が殆ど増加せず、通常の省電力化ICを使用できる。又、抵抗成分19が介在する事による接触抵抗成分42の電圧降下の増分も殆ど問題とならず液晶パネルを正常に駆動する事ができる。なお、接触抵抗成分42の大きさは通常數100～1000Ω程度であるので、抵抗成分19としては例えばメガオーム程度の数値にしていれば十分である。一般に、静電対策としてはこの程度の抵抗値があれば十分に機能する。

【0020】次に、図7を参照して本発明にかかる液晶パネルの他の実施例を説明する。本例はアクティブマトリクス型の液晶パネルに関するものである。図7は、液晶パネルを構成する一方の基板の平面形状を表わしている。この下側のガラス基板31は石英等から構成されておりその上には、行列状に配列した複数個の画素電極37と、個々の画素電極37を動作させる為の複数個のスイッチング素子例えばTFT33と、行毎にTFTを選択する為の選択線35と、TFTに信号を供給する為の信号線34とが形成されている。更に、走査線及び信号線の端部は夫々互に引き出し電極16を介して基板31の4方向周辺部に導かれている。他方の基板32の対向電極36(図8に示す)をドライブする為の引き出し電極16aも形成されている。周辺部に沿って整列した引き出し電極群16と直交する様にパクニングされた静電破壊保護用高抵抗薄膜17が設けられている。図から明らかな様に、隣接する引き出し電極16は高抵抗薄膜17の抵抗成分19によって互いに電気的接続がなされており、外部静電気にに関して同電位となる様にしている。最後に、基板31の四隅には他方の基板と導通をとる為の導電性材料18が供給されている。

【0021】図8はアクティブマトリクス型液晶パネルを構成する他方の基板を示す平面図である。即ち、ガラス等からなる上側の基板32の表面には透明な対向電極36が全面的に形成されている。この基板32の四隅にも下側の基板に対して導通をとる為の導電性材料18が

施されている。

【0022】図9は、図7に示す下側のTFT基板31と上側のガラス基板32とを互いに対向して貼り合わせて得られたアクティブマトリクス型の液晶パネル30の平面形状を示している。引き出し電極16は基板31の4方周辺部に沿って露出しており外部回路との接続がとられる。又、下側の基板に形成された高抵抗薄膜17と上側の基板に形成された対向電極36とは互いに導電性材料18を介して電気的に接続されている。

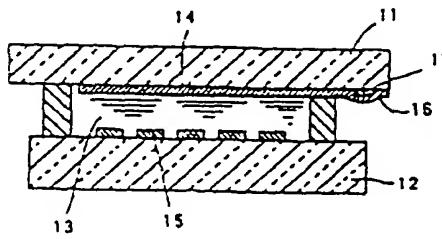
【0023】以上の様に、TFT基板31上の各信号線34及び各走査線35は静電破壊保護用高抵抗薄膜17によって互いに電気的接続がなされる。これにより、例えばラビングの工程で発生する静電気による線間の静電破壊を防ぐ事ができる。又、一対の基板31と32とを貼り合わせた後も信号線34及び走査線35が導電性材料18を介して対向電極36と互いに電気的に接続されている。これにより、一対の基板の貼り合わせ工程以外、例えば外部回路接続工程で発生する静電気による静電破壊が防止できる。

【0024】最後に、図10にアクティブマトリクス型液晶パネル30の模式的な斜視外観を示す。液晶パネル30は、TFT基板31とガラス基板32とを対向する様に数μmの間隙を置いて貼り合わせ、この間に液晶13を注入したものである。

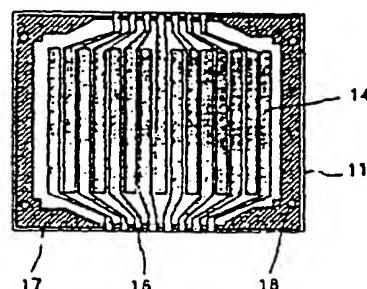
【0025】

【発明の効果】以上説明した様に、本発明によれば、外部回路と接続する為に液晶パネルの基板上に形成した複数の引き出し電極を互いに電気的接続する様に、高抵抗率を有する薄膜バッケンを形成する。完成した液晶パネルの検査時や外部回路と接続して画像表示を行なう時にも、高抵抗薄膜を切除しないで残したまま使用する。これにより、パネルの製造工程及び完成パネルのハンドリングで発生する静電気によるTFTスイッチング素子やITO電極の静電破壊を防止する事ができるという効果がある。又、従来の様に静電保護用配線を切除する必要がない為、液晶パネルの有効表示面積を予め大きく設定する事ができるという効果がある。

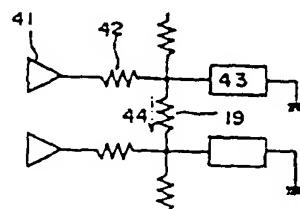
【図2】



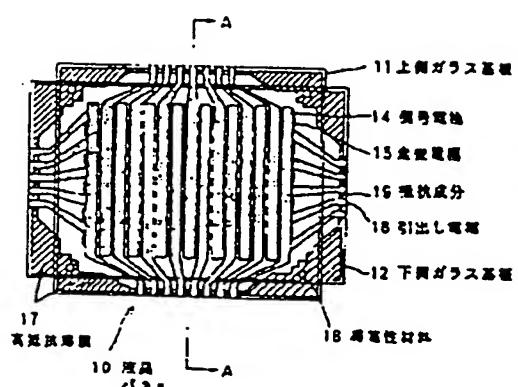
【図3】



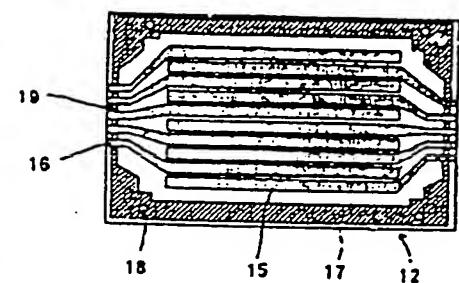
【図6】



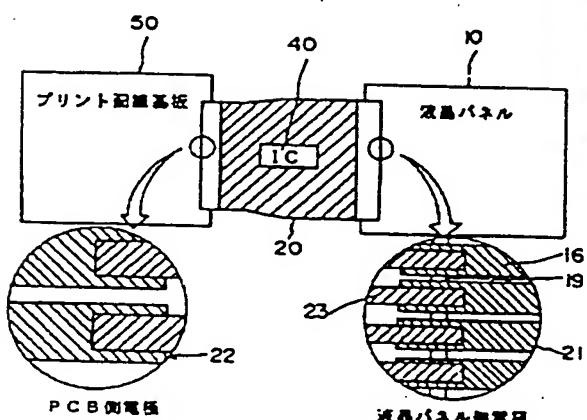
【図1】



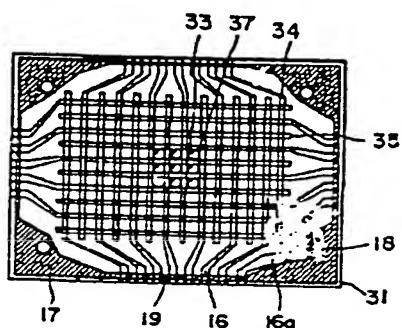
【図4】



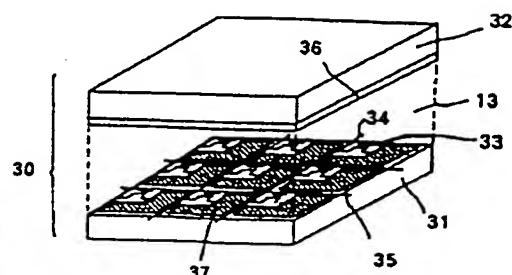
【図5】



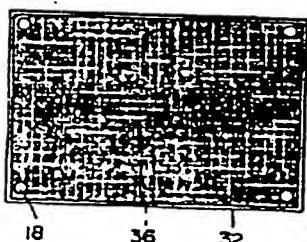
【図7】



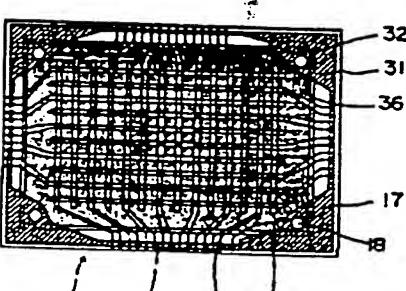
【図10】



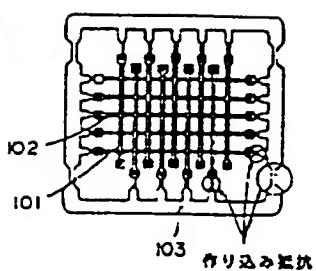
【図8】



【図9】



【図11】



【図12】

